

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-153595**
(43)Date of publication of application : **10.06.1997**

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/82
H01S 3/00

(21)Application number : **07-312410**
(22)Date of filing : **30.11.1995**

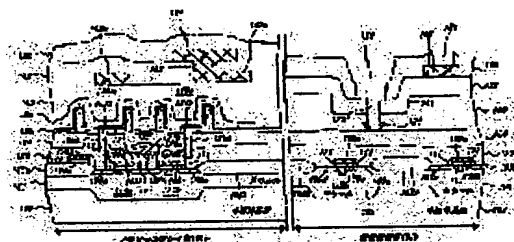
(71)Applicant : **MITSUBISHI ELECTRIC CORP**
(72)Inventor : **KONO TAKASHI**
ASAKURA MIKIO
HIDAKA HIDETO
YASUDA KENICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a hole for fuse disconnection without adding a process of forming a protection film, etc., while protecting the fuse part.

SOLUTION: A step part formed on an interlayer insulating film on the cell plate 129 on tube type capacitors 125a and 125b is removed by selectively removing the interlayer insulating film by etching, and at the same time, a recessed part 141 is formed on a fuse part 130. Since etching is completed before exposing the cell plate 129, the recessed part 141 is formed on the fuse part 130 without exposing the fuse part 130.



LEGAL STATUS

[Date of request for examination] **08.07.2002**
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] **3402029**

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-153595

(43)公開日 平成9年(1997)6月10日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 9 1
21/8242			H 0 1 S 3/00	B
21/82			H 0 1 L 21/82	F
H 0 1 S 3/00			27/10	6 2 1 C
				6 8 1 F
審査請求 未請求 請求項の数7 O L (全 16 頁)				

(21)出願番号 特願平7-312410

(22)出願日 平成7年(1995)11月30日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 河野 隆司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 朝倉 幹雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 弁理士 宮田 金雄 (外3名)

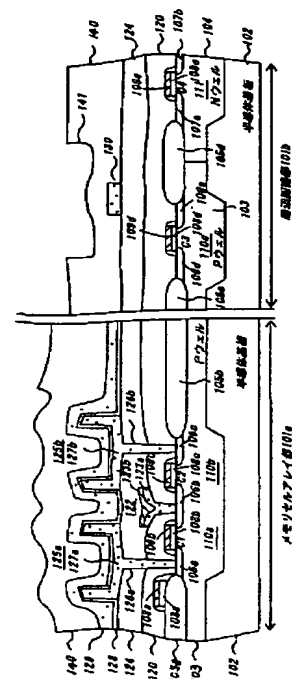
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ヒューズ部を不慮に断線させないためにヒューズ部上に保護膜を形成する場合は、保護膜形成のための製造工程が必要になる。

【解決手段】 層間絶縁膜230 を選択的にエッチング除去することにより、円筒型キャパシタ125a、125bのセルプレート129 上の層間絶縁膜230 の領域に形成された段差部分231 を取り除くと同時に、ヒューズ部130 上に凹部141 を形成する。このときセルプレート129 が露出しない程度でエッチングを終了するのでヒューズ部130 が露出することなくヒューズ部130 上に凹部141 が形成される。



【特許請求の範囲】

【請求項1】 半導体基板の一主面に層間絶縁膜となる第1の絶縁膜を形成する工程、ヒューズ部を構成する第1の導電層を前記第1の絶縁膜上に形成するとともに、前記半導体基板に形成される回路の一部を構成する第2の導電層を前記第1の絶縁膜上に形成する工程、

前記第1および第2の導電層を覆うように前記第1の絶縁膜上に層間絶縁膜となる第2の絶縁膜を堆積させる工程、および前記第2の絶縁膜を選択的にエッチング除去することにより、前記第2の絶縁膜表面の前記第2の導電層上に位置する領域に生じた、前記第2の絶縁膜表面の前記第1の導電層上に位置する領域に対して凸状の段差を、前記第2の導電層が露出しない程度に取り除くと同時に、前記第2の絶縁膜表面に底部が前記第2の絶縁膜を介して前記第1の導電層と対向する凹部を形成する工程を含んだことを特徴とする半導体装置の製造方法。

【請求項2】 前記凹部内を含む前記第2の絶縁膜上に第3の絶縁膜を堆積させる工程、

前記第3の絶縁膜表面における前記凹部に位置しない箇所に第3の導電層を形成する工程、

前記第3の導電層を覆うように前記凹部に位置する領域を含む前記第3の絶縁膜上に第4の絶縁膜を堆積させる工程、および前記第3の導電層にコンタクトする第1の孔、および底部が前記第2および第3の絶縁膜を介して前記第1の導電層と対向する第2の孔をそれぞれ前記第4の絶縁膜表面より同時に開口するように、前記第4の絶縁膜を選択的にエッチング除去する工程を含んだことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3の絶縁膜および第4の絶縁膜は互いに異なる材料により堆積されたことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記第3の絶縁膜は酸化膜により構成され、前記第4の絶縁膜は窒化膜により構成されたことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】 前記凹部を除く前記第2の絶縁膜表面に第3の導電層を形成する工程、

前記第3の導電層を覆うように前記凹部内を含む前記第2の絶縁膜上に第3の絶縁膜を堆積させる工程、および前記第3の導電層にコンタクトする第1の孔、および底部が前記第2の絶縁膜を介して前記第1の導電層と対向する第2の孔をそれぞれ第3の絶縁膜表面より同時に形成するように、前記第3の絶縁膜を選択的にエッチング除去する工程を含んだことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 前記第2の導電層は、前記第1の絶縁膜上にその軸方向が前記半導体基板の主面に対して垂直方向の柱状に形成されたキャパシタの一方の電極と対向する前記キャパシタの他方の電極として形成されたことを

特徴とする請求項1ないし請求項5のいずれか一項に記載の半導体装置の製造方法。

【請求項7】 半導体基板の一主面に層間絶縁膜となる第1の絶縁膜を形成する工程、

前記第1の絶縁膜上にヒューズ部となる第1の導電層、および前記半導体基板に形成される回路の一部を構成する第2の導電層を形成する工程、

前記第1および第2の導電層を覆うように、前記第1の絶縁膜上に層間絶縁膜となる第2の絶縁膜を堆積させる工程、

前記第2の絶縁膜表面における前記第1の導電層上に位置しない箇所に配線層となる第3の導電層を形成する工程、

前記第3の導電層を覆うように、前記第1の導電層上を含む前記第2の絶縁膜上に第3の絶縁膜を堆積させる工程、

前記第3の導電層にコンタクトする第1の孔、および底部が前記第2の絶縁膜を介して前記第1の導電層と対向する第2の孔をそれぞれ前記第3の絶縁膜表面より同時に開口するように、前記第3の絶縁膜を選択的にエッチング除去する工程、

前記第2の孔を除く前記第3の絶縁膜表面に、第1の孔を介して第3の導電層に接続される部分を含む、配線層となる第4の導電層を形成する工程、

前記第4の導電層を覆うように前記第2の孔内および前記第3の絶縁膜上に第4の絶縁膜を堆積させる工程、および前記第4の導電層にコンタクトする第3の孔、および底部が前記第2の孔内で前記第2の絶縁膜を介して前記第1の導電層と対向する第4の孔をそれぞれ前記第4の絶縁膜表面より開口するように、前記第4の絶縁膜を選択的にエッチング除去する工程を含んだことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、欠陥救済を行うために切断されるヒューズ部を備えた半導体装置の製造方法に関し、特にヒューズ部の切断を容易にするために開孔を形成する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体基板上にトランジスタ等の素子が集積して形成される半導体装置では、パッケージングされる前に所定の動作を行うかどうかウェハテストされる。ここで素子に欠陥のある不良チップが発見されてもチップを作製し直すことなく正常な動作を行わせるために、予備の素子を同一チップ内に予め形成しておき、ウェハテストで発見された不良素子と置き換えることで救済する技術が一般的になっている。メモリアレイ部内の素子に欠陥が発見された場合、その欠陥素子を含むあるブロック単位を予備メモリアレイ内のブロック単位

で置き換える。不良素子と予備素子との切り換えは、配線の一部として形成されたヒューズを物理的に切断することにより行われる。例えば半導体記憶装置ではメモリアレイ部の他に予備のメモリアレイが備えられており、メモリアレイ部の各ブロックを選択する行デコードあるいは列デコードが不良素子を含んだブロックを選択するアドレス信号を受け取ったとき、ヒューズの切断により不良のブロックはアクセスされずにこれに置き換わる予備のブロックがアクセスされるように構成される。

【0003】ヒューズの切断にはいくつかの方法が提案されているが、広く用いられている方法は、ヒューズ部にレーザ照射することにより溶断するレーザトリミング法である。図17は従来から知られているレーザトリミングの方法を示す半導体装置断面図である。図17(a)において1は半導体基板、2は半導体基板上に形成された層間絶縁膜、3は第1の層間絶縁膜2上に形成されたヒューズ部、4はヒューズ部3および層間絶縁膜2上に形成された層間絶縁膜、5は層間絶縁膜4上に形成された電極パッドとなる配線層である。

【0004】図17(b)においてエッチングにより層間絶縁膜2を選択除去し、ヒューズ部3上部に開孔6を形成する。この段階で半導体基板上に形成された回路のウェハテストが行われる。配線層5（電極パッド）からテスト信号が入力され、このテストによりヒューズ部3が切断する必要があると、開孔6からヒューズ部3にレーザ光7を照射してヒューズ部3を切断する。この後、層間絶縁膜4の表面全体及び開孔6内に最終保護膜となるパッシベーション膜8を形成し、図17(c)のようにエッチングにより電極パッドを露出するためにパッシベーション膜8に開孔9を設けておく。

【0005】開孔6を設けた理由はレーザ光7によりヒューズ部3が容易に切断できる程度にヒューズ部3上の膜厚を小さくするためであるが、開孔6を形成するためにフォトリソを用いてレジストを形成し、エッチングする工程が必要となる。そこで層間絶縁膜4の図示しない箇所にコンタクトホールを形成すると同時に開孔6が形成されるように第2の層間絶縁膜4をエッチング除去する。従って層間絶縁膜に設けられる通常のコンタクトホールと開孔6を同一マスクにより同一工程で形成することができる。例えば特公平4-79138号公報によると、図18に示したように同一のPSG膜においてMOSトランジスタのソース・ドレイン領域にコンタクトするコンタクトホール、およびフィールド層に形成されたヒューズ部上に設けられる開孔を同時に形成することが開示されている。

【0006】

【発明が解決しようとする課題】このようにエッチング除去によりコンタクトホールとヒューズとを同時に形成する場合ヒューズ部が露出されてしまう。ヒューズ部が露出されてしまうと不慮の原因でヒューズ部がテスト前

に断線されてしまうという問題点があった。そのために図18のようにヒューズ表面に保護膜を予め形成しておく、エッチングによるヒューズ表面の露出を防ぐことができる。前記公報ではポリシリコン層・モリブデンシリサイト層の2層構造による保護膜をヒューズ表面に形成している。しかしながら保護膜を形成する工程が新たに必要となるという問題点があった。なお前記公報では保護膜はMOSトランジスタのゲート電極と同一材料で同一工程で形成されるが、半導体装置が多層構造になると、断線されやすいようにヒューズ部はできるだけ上部の層に形成するので、保護膜をゲート電極と同時に形成できるとは限らない。

【0007】この発明は上記の問題点を解決するためになされたもので、保護膜形成等のプロセスを追加することなく、ヒューズ部を保護しながら、ヒューズ断線用の開孔を形成する半導体装置の製造方法を提供するものである。

【0008】

【課題を解決するための手段】第1の発明に係る半導体装置の製造方法は、ヒューズ部を構成する第1の導電層を第1の絶縁膜上に形成するとともに、半導体基板に形成される回路の一部を構成する第2の導電層を第1の絶縁膜上に形成する工程、第1および第2の導電層を覆うように第1の絶縁膜上に層間絶縁膜となる第2の絶縁膜を堆積させる工程、および第2の絶縁膜を選択的にエッチング除去することにより、第2の絶縁膜表面の第2の導電層上に位置する領域に生じた、第2の絶縁膜表面の第1の導電層上に位置する領域に対して凸状の段差を第2の導電層が露出しない程度に取り除くと同時に、前記第2の絶縁膜表面に、底部が第2の絶縁膜を介して前記第1の導電層と対向する凹部を形成する工程を含んだものである。

【0009】第2の発明に係る半導体装置の製造方法は、凹部内を含む第2の絶縁膜上に第3の絶縁膜を堆積させる工程、第3の絶縁膜表面における凹部に位置しない箇所に第3の導電層を形成する工程、第3の導電層を覆うように凹部に位置する領域を含む第3の絶縁膜上に第4の絶縁膜を堆積させる工程、および第3の導電層にコンタクトする第1の孔、および底部が第2および第3の絶縁膜を介して第1の導電層と対向する第2の孔をそれぞれ第4の絶縁膜表面より同時に開口するように、第4の絶縁膜を選択的にエッチング除去する工程を含んだものである。

【0010】第3の発明に係る半導体装置の製造方法は、第3の絶縁膜および第4の絶縁膜は互いに異なる材料により堆積されたものである。

【0011】第4の発明に係る半導体装置の製造方法は、第3の絶縁膜は酸化膜により構成され、第4の絶縁膜は窒化膜により構成されたものである。

【0012】第5の発明に係る半導体装置の製造方法

は、凹部を除く第2の絶縁膜表面に第3の導電層を形成する工程、第3の導電層を覆うように凹部内を含む第2の絶縁膜上に第3の絶縁膜を堆積させる工程、および第3の導電層にコンタクトする第1の孔、および底部が第2の絶縁膜を介して第1の導電層と対向する第2の孔をそれぞれ第3の絶縁膜表面より同時に形成するように、第3の絶縁膜を選択的にエッチング除去する工程を含んだものである。

【0013】第6の発明に係る半導体装置の製造方法は、第2の導電層は第1の絶縁膜上にその軸方向が半導体基板の主面に対して垂直方向の柱状に形成されたキャパシタの一方の電極と対向するキャパシタの他方の電極として形成されたものである。

【0014】また、第7の発明に係る半導体装置の製造方法は、層間絶縁膜となる第1の絶縁膜上にヒューズ部となる第1の導電層、および半導体基板に形成される回路の一部を構成する第2の導電層を形成する工程、第1および第2の導電層を覆うように、第1の絶縁膜上に層間絶縁膜となる第2の絶縁膜を堆積させる工程、第2の絶縁膜表面における第1の導電層上に位置しない箇所に配線層となる第3の導電層を形成する工程、第3の導電層を覆うように、第1の導電層上を含む第2の絶縁膜上に第3の絶縁膜を堆積させる工程、第3の導電層にコンタクトする第1の孔、および底部が第2の絶縁膜を介して第1の導電層と対向する第2の孔をそれぞれ第3の絶縁膜表面より同時に開口するように、第3の絶縁膜を選択的にエッチング除去する工程、第2の孔を除く第3の絶縁膜表面に、第1の孔を介して第3の導電層に接続される部分を含む、配線層となる導電層を形成する工程、第4の導電層を覆うように第2の孔内および第3の絶縁膜上に第4の絶縁膜を堆積させる工程、および第4の導電層にコンタクトする第3の孔、および底部が第2の孔内で第2の絶縁膜を介して第1の導電層と対向する第4の孔をそれぞれ第4の絶縁膜表面より開口するように、第4の絶縁膜を選択的にエッチング除去する工程を含んだものである。

【0015】

【発明の実施の形態】

実施の形態1. 以下、この発明の一実施の形態を説明する。図1は本実施の形態における半導体装置を示す構造断面図であり、具体的には円筒型キャパシタを有するダイナミック・ランダムアクセス・メモリ（以下、DRAM）を示したものである。図1においてはDRAMのメモリセルアレイ部101aの一部の断面、および行デコーダ、列デコーダ等の周辺回路部101bの一部の断面を示したもので、102はp型半導体からなる半導体基板、103は半導体基板102に形成され半導体基板102よりも不純物濃度の高いp型半導体からなるpウェル、104は半導体基板102に形成されたn型半導体からなるnウェル、105a～105dは半導体基板102に形成されるMOSトラン

ジスタ間を分離するための素子分離領域（シリコン酸化物等の絶縁物）、106a～106cは素子分離領域105a、105b間のpウェル103表面に領域C1、C2を離して並列して形成されたn型半導体からなるソース・ドレイン領域、106d、106eは素子分離領域105c、105d間のpウェル103表面に領域C3を離して形成されたn型半導体からなるソース・ドレイン領域、107a、107bはnウェル104表面に領域C4を離して形成されたp型半導体からなるソース・ドレイン領域である。108aは素子分離領域105a上に形成された絶縁酸化膜、108b～108dはそれぞれpウェル103の領域C1、C2及びC3に対向して形成された絶縁酸化膜、108eはnウェル104の領域C4に対向するように形成された絶縁酸化膜、109aは絶縁酸化膜108aを介して素子分離領域105aに対向して形成された導電層、109b～109eは絶縁酸化膜108b～108eを介してそれぞれ領域C1～C4に対向するように形成されたゲート電極である。

【0016】メモリセルアレイ部101a側には、ソース・ドレイン領域106a、106bおよびゲート電極109bによりnチャネルMOSトランジスタ110aが形成され、ソース・ドレイン領域106b、106cおよびゲート電極109cによりnチャネルMOSトランジスタ110bが形成される。導電層109aおよびゲート電極109b、109cは並行に配置されたワード線の一部からなり、図示しないMOSトランジスタのゲート電極をもなしている。一方周辺回路部101b側には、ソース・ドレイン領域106d、106eおよびゲート電極109cによりnチャネルMOSトランジスタ110cが形成され、ソース・ドレイン領域107a、107bおよびゲート電極109eによりpチャネルMOSトランジスタ111が形成される。

【0017】また図のように絶縁酸化膜108a～108e、および各々の上面に形成された導電層109aとゲート電極109b～109eの両側壁にはシリコン酸化膜からなるサイドウォール絶縁膜111が形成されている。

【0018】120はメモリセルアレイ部101aの設けられた領域、および周辺回路部101bの設けられた領域の全面に同時に形成されたTEOS（Tetra Ethyl Orthosilicate）酸化膜による層間絶縁膜、121は層間絶縁膜120に開口されたコンタクトホール、122はコンタクトホール121を介してソース・ドレイン領域106bに接続されるビット線で、ソース・ドレイン領域106bに接続するn型のポリシリコンからなる部分123aとこの接続部分123a上に形成されたシリサイド（WSi、MoSi等）からなる低抵抗の部分123bとによるポリサイドで構成される。124は層間絶縁膜120の全面に同時に形成されたTEOS酸化膜による層間絶縁膜、125a、125bはそれぞれ円筒型のキャパシタである。キャパシタ125a、125bは、層間絶縁膜120、124に開口されたコンタクトホール126a、126bを介してそれぞれソース・ドレイン領域106a、106cに接続された一方の電極127a、127b、この電極127a、127b上に形成されたキャパシタ用誘電膜128およびキャ

パシタ用誘電膜128を介して電極127a、127bに対向するように形成された他方の電極からなるセルプレート129を有する。電極127a、127b、およびセルプレート129はn型にドーパされたポリシリコン、キャパシタ誘電膜128はシリコン酸化膜とシリコン窒化膜の積層膜である。また電極127a、127bは底部および側部からなりその軸が層間絶縁膜124表面に垂直な方向をなす円筒状に形成されている。

【0019】130はヒューズ部を構成する導電層で、図示しない箇所周辺回路部101bの行デコーダ、または列デコーダの配線に接続されている。この図はウェハテストによりヒューズ部がレーザ照射により断線された状態を示している。

【0020】140はメモリセルアレイ部101aにおけるセルプレート140表面、および周辺回路部101bにおけるヒューズ部130および層間絶縁膜124表面に形成されたTEOS酸化膜からなる層間絶縁膜、141は層間絶縁膜140表面における導電層130上に位置する領域に形成された凹部、142a、142bはメモリセルアレイ部101aにおける層間絶縁膜140の表面に形成されたアルミニウムからなる配線層、143は配線層142a、142bを覆い凹部141を含むように層間絶縁膜140全面に形成されたTEOS酸化膜からなる層間絶縁膜、144は層間絶縁膜143に開口されたコンタクトホール145を介して配線層142bに接続され、層間絶縁膜143表面に形成されたアルミニウムからなる配線層、146は電極パッドとなるアルミニウムからなる配線層である。一般的に半導体装置ではアルミニウムの多層の金属配線が採用されているがこのDRAMにおいてはアルミニウムの2層配線により形成されている。

【0021】150は配線層144、146を覆うように形成されたシリコン窒化膜(Si_3N_4)からなるパッシベーション膜、151は配線層146を電極パッドとして露出させる開孔、152はヒューズ部の位置するパッシベーション膜の表面に形成されたレーザ照射用の開孔、153はレーザ照射により開口された部分を示す。

【0022】図2は図1に示すDRAMのメモリセルアレイ部に形成されたメモリセルの回路構成図である。ビット線1は図1に示すビット線122に相当し、ワード線1、2および3はそれぞれ図1に示すゲート電極109c、109bおよび導電層109aにそれぞれ相当する。メモリセルMC1において、MOSTランジスタ110bはゲート電極がワード線1に接続され、ソース・ドレインの一端子がビット線1に、他端子がキャパシタ125bの一方の電極127bにそれぞれ接続される。またメモリセルMC2において、MOSTランジスタ110aはゲート電極がワード線1に接続され、ソース・ドレインの一端子がビット線1に、他端子がキャパシタ125aの一方の電極127aにそれぞれ接続される。またキャパシタ125a、125bの他方の電極、すなわちセルプレート129にはセルプレート電位V

cpが印加されている。さらにビット線1に隣接した図示しないビット線2に接続されたメモリセルMC3において、MOSTランジスタのゲート電極がワード線3に接続されている。図2において付された符号は、図1のものと同一のものを示す。特に図1および図2に示したメモリセルMC1、MC2は、メモリセルアレイ部の形成領域の最端に形成されたメモリセルとし、行方向、列方向にそれぞれ繰り返し配設されている。

【0023】次に図1に示されたDRAMの製造方法について図3ないし図13を参照しながら説明する。

【0024】(1)図3(a)

まず、p型半導体基板102の一主面にLOCOS(Local Oxidation of Silicon)法により選択的に素子分離領域105a~105dを形成する。nウェルの形成される領域にフォトリソグラフィを用いてレジストを形成してそのnウェル領域をマスクした後、p型のイオン(ボロンイオン等)を注入することにより半導体基板102より不純物濃度の高いpウェル103を形成する。nウェルの形成領域をマスクしたレジストを除去した後、今度はpウェル103領域をマスクするレジストをフォトリソグラフィにより形成し、n型のイオン(リンイオン等)を注入することにより、nウェル104を形成する。そしてレジストを除去する。

【0025】MOSTランジスタ110a~110c、111の形成されるウェル領域全面を熱処理によりシリコン酸化膜を形成する。次いで化学気相成長法(以下、CVD法)によりイオンドーパされたポリシリコンからなる電極層をそのシリコン酸化膜および素子分離領域105a~105b上に堆積させる。フォトリソグラフィにより表面の必要箇所にレジストを形成し、このレジストをマスクとして選択的にエッチング除去することにより導電層109aおよびゲート電極109b~109eを形成し、さらに導電層109aおよびゲート電極109b~109eをマスクとしてエッチングすることにより絶縁酸化膜108a~108eを形成する。そしてnウェル104領域をレジストでマスクし、ヒ素イオン等のn型イオンを選択的に注入することによりn型半導体のソース・ドレイン領域106a~106eを形成する。レジストを除去した後にCVD法によりシリコン酸化膜で導電層109aおよびゲート電極109b~109eを覆う。このシリコン酸化膜を異方性エッチングすることによりサイドウォール絶縁膜111を形成する。

【0026】次に、メモリセルアレイ部101a、周辺回路部101bにおけるpウェル103の形成された領域をレジストでマスクし、ボロンイオン等のp型イオンを選択的に注入することによりp型半導体のソース・ドレイン領域107a~107bを形成する。そしてマスク用に形成したレジストを除去する。

【0027】(2)図3(b)

次に、図3(b)に示すように、CVD法を用いてメモリセルアレイ部101aおよび周辺回路部101bの全面にTE

OS酸化膜からなる層間絶縁膜120を堆積する。その後エッチングによりソース・ドレイン領域106bにコンタクトするコンタクトホール201を層間絶縁膜120に形成する。なお、エッチング除去工程においては、そのエッチング前にはフォトリソグラフィを用いて所定の箇所にレジストを形成してエッチングされない箇所をマスクする工程、およびエッチング後にはレジストを除去する工程がそれぞれある。以下では特段説明のあるものを除きエッチング除去の前後にはレジスト形成およびその除去の工程があるものとする。

【0028】(3) 図4(a)

次に、図4(a)に示すように、ビット線122における接続部分123aとなるn型のポリシリコン層をCVD法によりコンタクトホール201内および層間絶縁膜120上に形成し、さらにこのポリシリコン層上に低抵抗の部分123bとなるシリサイト(WSi、MoSi等)をスパッタリング法またはCVD法で堆積させる。そしてポリシリコンおよびシリサイトを選択的にエッチング除去することによりビット線122を形成する。なお図示していないが、このエッチング除去により周辺回路部101bを構成するための導電層を同時に形成することも可能である。

【0029】(4) 図4(b)

次に、図4(b)に示すように、CVD法によりTEOS酸化膜からなる層間絶縁膜124をビット線122上および層間絶縁膜120の全面に堆積させる。その後エッチングによりソース・ドレイン領域106aおよび106cにそれぞれコンタクトするコンタクトホール126a、126bを層間絶縁膜120、124に形成する。

【0030】(5) 図5(a)

次に、CVD法を用いてメモリセルアレイ部101a、周辺回路部101bにおけるコンタクトホール126a、126b内および層間絶縁膜124の全面にn型のポリシリコン層を形成する。この後さらにCVD法を用いてこのn型ポリシリコン層の全面にTEOS酸化膜からなる絶縁膜を形成する。そしてコンタクトホール126a、126bを中心軸としてその上に円筒形状に形成されるように、エッチングにより積層したポリシリコン層および絶縁膜を選択的に除去する。したがって図5(a)のようにキャパシタ125a、125bにおけるそれぞれ一方の電極の底部210a、210b、および残存する絶縁膜211a、211bが円筒状に形成される。

【0031】(6) 図5(b)

次に、図5(b)に示すように、キャパシタ電極の底部210a、絶縁膜211aの側面、および底部210b、絶縁膜211bの側面のそれぞれ全体を覆うように、n型のポリシリコンからなるキャパシタの側部212a、212bを形成する。側部212a、212bの形成方法はまず図5(a)においてフォトリソグラフィを用いて周辺回路部101bの領域全体をレジストでマスクし、底部210a、210b、絶縁膜211a、211bを覆うようにメモリセルアレイ部101a領域の層間絶縁膜124上にn型のポリシリコン層をCVD法により堆積

させ、このポリシリコン層を異方性エッチングして、側部212a、212bを形成する。底部210a、側部212aによりキャパシタ125aの一方の電極127a、底部210b、および側部212bによりキャパシタ125bの一方の電極127bがそれぞれ形成される。

【0032】(7) 図6(a)

次に、図5(b)において絶縁膜211a、211bを除去した後に、電極127a、127bの全面を覆うようにキャパシタの誘電膜128をメモリセルアレイ部101a領域における層間絶縁膜124上に形成する。なお、図5(b)において周辺回路部101b領域をマスクしたレジストが存在しているため、この誘電膜は周辺回路部101b領域には形成されない。そして図6(a)のように誘電膜128形成後にこのレジストを除去し、メモリセルアレイ部101a、周辺回路部101bの全面にn型にドーパされたポリシリコン層220をCVD法により堆積させる。

【0033】(8) 図6(b)

次に、図6(b)に示すように、メモリセルアレイ部101a領域のポリシリコン層220はそのままセルプレート129をなし、周辺回路部101bにおけるは、ヒューズ部130が形成されるように、ポリシリコン層220をエッチングにより選択除去する。なお必要があれば周辺回路を構成する導電層の一部を、ポリシリコン層220のエッチングにより層間絶縁膜140上にヒューズ部130とともに形成することも可能である。

【0034】(9) 図7

次に、図7に示すようにCVD法を用いてメモリセルアレイ部101a、周辺回路部101bの全面にTEOS酸化膜からなる層間絶縁膜230を堆積させる。図2で示したメモリセルアレイ部101aのメモリセル最端領域では、円筒型キャパシタ125a、125b上に位置する領域には段差部分231が、その他の領域には平坦部分232がそれぞれ生じる。この段差部分231は平坦部分232に対してキャパシタ125a、125bの電極127a、127bの高さ h_0 と同程度に凸に生じる。例えば本実施の形態においては600Å程度である。一方、周辺回路部101b領域においてはヒューズ部130上にヒューズ部130の膜厚分だけ凸の部分233が生じる他はほぼ平坦である。凸部分233は、その高さ h_1 がおおよそ数百Åで、メモリセルアレイ部101aの平坦部分232とはほぼ同じ高さに位置している。また層間絶縁膜230はCVD法により全面に堆積させたので各場所ではほぼ均一な膜厚に形成されている。

【0035】(10) 図8

層間絶縁膜230における段差部分231と平坦部分232との境界上に金属配線層を形成する場合、段差部分231と平坦部分232との差により断線が生じ、または転写工程における焦点進度のマージン不足による転写不良が生じる可能性があり、そのためこのような問題が生じない程度の量だけ段差部分231を削る必要がある(これを平坦化と呼ぶ)。そこで段差部分はエッチングにより除去

されるが、同時にヒューズ部130上に位置する領域に矩形状に開口する凹部を形成する。これはレーザー照射によりヒューズ部130が断線されやすくするために膜厚を小さくしておくためである。そこで、図8のようにメモリセルアレイ部231の平坦部分232、および周辺回路部101bにおける凹部の形成領域234以外の部分にフォトリソグラフィを用いてレジスト240を形成する。このレジスト240は1枚のフォトマスクにより形成される。そしてエッチングにより層間絶縁膜230における点線部分より上の部分を除去する。

【0036】(11)図9

レジスト240を除去した後、図9に示すように段差部分231が平坦化されると同時に、凹部141の形成された層間絶縁膜140が得られる。平坦化においては段差部分231が平坦部分232と同じ高さになる程度に、かつセルプレート129が表面に露出しない程度でエッチング除去を終了する。そのとき同時に領域244も同程度の深さまで除去されることになり(図8に示す h_2 と h_3 とはほぼ同じ高さ)、この時点で凹部141のエッチングも終了される。図7において層間絶縁膜230はCVD法により各場所ではほぼ均一な膜厚に形成されているので、エッチング除去により段差の平坦と同時に凹部141が形成されたとしてもヒューズ部130が凹部141の底部に露出することはない。凹部141はその底部は層間絶縁膜230を介して対向して形成される。

【0037】(12)図10

次いでCVD法を用いて凹部141を含むメモリセルアレイ部101a、周辺回路部101bの全面にアルミニウム層を堆積した後、このアルミニウム層をエッチングによりアルミニウムからなる配線層が形成される。図10に示すようにメモリセルアレイ部101a領域には配線層142a、142bを形成する。一方周辺回路部101b領域には図示されない箇所に、周辺回路部101b領域のMOSトランジスタのソース・ドレイン領域に接続する配線層が形成されており、図9に示す構造の形成後にはソース・ドレイン領域への接続のためのコンタクトホールが開口されている。また凹部141内には配線層は形成されない。そしてCVD法を用い、配線層142a、142bを覆うように凹部141内および層間絶縁膜140上の全面にTEOS酸化膜からなる層間絶縁膜143を堆積させる。したがって凹部141の形成された領域上にはさらに凹部250が形成されることになる。なお層間絶縁膜140表面および凹部141の底部には図9のように凹凸が生じているが、図10では簡単のため平坦に図示している。

【0038】(13)図11

次に、図11に示すように層間絶縁膜143に配線層142bとコンタクトするコンタクトホール145をエッチングにより形成する。この後CVD法を用いて凹部250を含む層間絶縁膜143の全面にアルミニウム層を堆積させ、エッチングにより、メモリセルアレイ部101a領域にコンタ

クトホール145を介して配線層142bに接続するアルミニウムからなる配線層144を形成し、周辺回路部101bには配線層146をそれぞれ形成する。特に配線層146は層間絶縁膜143内に形成された図示しない下部の配線層とコンタクトホールを介して接続されている。また凹部250には配線層は形成されない。なお、図11の段階で配線層146に信号を入力してウェハテストを行い、その結果によりヒューズ部にレーザー照射してもよいが、露出された配線層をレーザー照射により不慮に損傷させないためにパッシベーション膜150で配線層146を保護した後にレーザー照射することが好ましい。

【0039】(14)図12

次に、図12に示すように、CVD法を用い配線層144、146を覆うようにシリコン窒化膜(Si_3N_4)からなるパッシベーション膜150を凹部250内および層間絶縁膜143の全面に堆積させる。このとき凹部250の形成された領域上にはさらに凹部260が形成されることになる。

【0040】(15)図13

配線層146はこのDRAMの電極パッドとなる部分で、回路を動作させるための信号が配線層146に入力される。したがって図13に示すようにウェハテスト段階においてはテスト信号を印加させるために配線層146を露出させる開孔151をパッシベーション膜に設ける。また凹部260の底部にさらに開孔270を形成する。開孔151、260はパッシベーション膜150をエッチングにより同時に形成することができる。図示したように開孔260内において層間絶縁膜143の表面が露出される程度でエッチングを終了する。この開孔270および凹部260によりレーザー照射用の開孔152が形成される。エッチングにおいて特定のエッチャントを用いることにより、特定の材質を選択してエッチングすることが可能である。層間絶縁膜140とパッシベーション膜150とは異なる材質であるので、パッシベーション膜150のみをエッチングするエッチャントを選択することによって、パッシベーション膜150をオーバエッチングしても、開孔270における底部の層間絶縁膜143を除去することはない。したがって、オーバエッチングによりヒューズ部130を露出させることはない。しかしあまり長時間エッチングすると、アルミニウムの配線層146がオーバエッチングされてしまい損傷する可能性があるので注意を要する。また実際には多少の膜厚差は存在するため、開孔151が配線層146を露出させれば開孔152は底部に層間絶縁膜140を露出させなくてもよく、わずかにパッシベーション膜150が存在してもよい。

【0041】図14は、図13における凹部141、250および260の形成された領域Aの平面図である。図14においてR1が層間絶縁膜140表面に形成された凹部141の領域、R2が層間絶縁膜143表面に形成された凹部250の領域、R3がパッシベーション膜150表面に形成

された凹部260の領域、そしてR4が凹部260の底部に形成され、層間絶縁膜143を露出する開孔270の領域である。X1、X2、X3、X4およびYは、それぞれ図13に示された凹部141、250、260、開孔270およびヒューズ部130の各断面幅を示し、図13の領域AはI-I線における断面部分である。またヒューズ部130は図13の図面に対して垂直な方向に延設して形成されている。本実施の形態で説明した製造方法により、各領域R1~R4は矩形状に形成され、領域R2は領域R1内に、領域R3は領域R2内に、領域R4は領域R3内にそれぞれ位置するように設けられている。そして開孔270はその領域R4の断面幅X4内にヒューズ部130の断面幅Yが位置するように形成する。したがってヒューズ部130には開孔152を介して的確にレーザ照射される。

【0042】図13において、開孔151を介して配線層146にテスト信号を与えてDRAMのウェハテストを行う。そしてヒューズ部130を切断する必要がある場合には、レーザ照射用の開孔152内へレーザを照射しヒューズ部130を切断する(図1に示した状態)。その後、電極パッドとなる配線層146よりワイアボンディングされ、チップ全体を樹脂でパッケージングする。

【0043】なお、図12に示した構造において、ヒューズ部130から凹部260の底部までの膜厚に対してもレーザ照射により十分ヒューズ部130の切断が可能ならば、図13に示したように開孔270を設ける必要はない。開孔151のみを設ければよい。

【0044】また、ヒューズ部を断線しやすくするためには、ヒューズ部130をできるだけ高い位置で形成することがよい。例えば図13においてはアルミニウムの配線層142a、142bと同時に形成してもよい(この場合、凹部141は存在しない)。しかしながら金属配線層をヒューズ部に用いた場合、熱伝導性の高い金属においてはレーザ照射によりエネルギーが分散してしまうのでレーザトリミングが大変困難である。したがってヒューズ部は金属より熱伝導性の小さいポリシリコン層により形成することが適切であり、本実施の形態に示したDRAMにおいてはキャパシタのセルプレート129と同時に形成することが好ましい。

【0045】この実施の形態のように、同じ層間絶縁膜上にヒューズ部となる第1導電層、および回路の一部を構成しヒューズ部の表面より高い位置に配置される部分を含む第2導電層(この実施の形態では円筒型キャパシタのセルプレートを示したがこれに限るものではない)を形成し、さらにその上にCVD法などを用いて層間絶縁膜を堆積した場合、第2導電層の形成領域には第1導電層の形成領域に対して凸上の段差が生じる。したがって(a)この段差を平坦化すること、および第1導電層上に凹部を形成することを同一のエッチング除去することにより、それぞれに別々のマスクを用いることなく同一のマスクでもって形成できる(このマスクはエッチング

前のレジスト形成に用いるものである)、(b)第2導電層を露出しない程度に平坦化のエッチングを行うので、凹部は第1導電層を露出させないように形成される。したがって図18のようにヒューズ部上に保護膜を形成することもなく、ヒューズ部の露出を防ぐことができ、ヒューズを保護することができる。

【0046】さらに図13のようにヒューズ部が形成される層間絶縁膜124より上層の絶縁膜(本実施の形態ではパッシベーション膜)においてヒューズ部上の位置する開孔270を形成したので、さらにヒューズ部からその直上の開孔270の底部までの膜厚が小さくなり、レーザ照射によりヒューズ部の断線がさらに容易になる。このとき開孔270は配線層146を露出する開孔151と同一エッチング工程により形成されるので、別々のマスクを用いることなく同一のマスクでもって開孔151、270が形成できる。したがって製造工程数が少なくなる。

【0047】実施の形態2. この発明の別の実施の形態について図15および図16を参照しながら説明する。実施の形態1における図10で層間絶縁膜143を層間絶縁膜140に堆積させ、図11で配線層142bにコンタクトするコンタクトホール145を層間絶縁膜143に形成した。本実施の形態が実施の形態1と異なる点は、図10の構造を形成した後、図15(a)のようにエッチングによりコンタクトホール145と同時に凹部141の領域内に開孔300を形成することである。

【0048】なお、図15および図16においては図3ないし図13と同一のものには同一の符号を付してあり、層間絶縁膜124より下部の構造は図示していないが、図3ないし図13と同一プロセスにて同一構造が構成されたものとする。

【0049】(1) 図15(a)

まず、図10においてコンタクトホール145形成部分と凹部300の形成部分以外の層間絶縁膜143の表面には1枚のマスクを用いてレジストが形成され、その後エッチングが行われる。層間絶縁膜143はCVD法によりほぼ均一に堆積されたので、図10においては配線層142b直上の層間絶縁膜143の膜厚と凹部141直上の層間絶縁膜143の膜厚は同程度である。よってコンタクトホール145が配線層142bを露出させると同時に、開孔300における底部に層間絶縁膜140が露出し、この時点でエッチングを終了する。したがって開孔300はその底部が層間絶縁膜140を介してヒューズ部130と対向して形成される。なお実際には多少の膜厚差は存在するため、開孔145が配線層142bを露出させれば開孔300は底部に層間絶縁膜140を露出させなくてもよく、わずかに層間絶縁膜143部分が存在してもよい。

【0050】(2) 図15(b)

次に、図15(b)において層間絶縁膜143上に、メモリセルアレイ部101a側にはコンタクトホール145を介して配線層144、および周辺回路部101b側に電極パッドと

なる配線層146をそれぞれ形成する。配線層144、146の形成方法はコンタクトホール145内、開孔300内、および層間絶縁膜143表面の全体にアルミニウム層を形成した後、このアルミニウム層をエッチングにより選択除去するものである。その後、CVD法を用い配線層144、146を覆うようにシリコン窒化膜(Si_3N_4)からなるパッシベーション膜150を開孔300内および層間絶縁膜143の全面に堆積させる。このとき開孔300の形成された領域内の上にはさらに凹部310が形成されることになる。

【0051】(3)図16

そして、図16において、信号を配線層146に印加させるための開孔151、および凹部310の底部からさらに開孔320を形成するように、パッシベーション膜150を選択的にエッチング除去する。またパッシベーション膜150はCVD法によりほぼ均一に堆積されたので、図15(b)においては配線層146直上のパッシベーション膜150の膜厚と凹部300内のパッシベーション膜320の膜厚はほぼ同程度である。よって開孔151が配線層146を露出させると同時に、凹部320における底部に層間絶縁膜140が露出する。この時点でエッチングを終了する。凹部320は凹部300内に形成され、その底部(層間絶縁膜140の露出面)はヒューズ部130と対向して形成される。凹部310、開孔320によりレーザ照射用の開孔330が得られる。

【0052】なお、実施の形態1のようにエッチングにおける特定のエッチャントを用いることにより、特定の材質を選択してエッチングすることが可能である。層間絶縁膜140とパッシベーション膜150とは異なる材質であるので、パッシベーション膜150のみをエッチングするエッチャントを選択することによって、パッシベーション膜150をオーバエッチングしても、凹部320の底部の層間絶縁膜140をさらに除去してヒューズ部130を露出させることはない。

【0053】図16に示す状態において電極パッドとなる配線層146にテスト信号が印加される。このテストの結果、ヒューズ部130を切断する必要がある場合には、開孔330にレーザ照射してヒューズ部130を切断する。

【0054】この実施の形態において、層間絶縁膜140上に形成される層間絶縁膜143において配線層142bとコンタクトするコンタクトホールとともに、ヒューズ部130上に位置する箇所に開孔300を設けたので、実施の形態1に比べ、ヒューズ部130からレーザ照射面までの膜厚がさらに薄くなり、レーザ照射によりヒューズ部が切断しやすくなる。またエッチングによりそれぞれ開孔300、320を形成したときには、層間絶縁膜140はヒューズ部130を露出させずに保護し、ヒューズ部130の不慮の断線を防ぐ。さらにこの凹部300は同一層間絶縁膜においてコンタクトホールとともに形成されたので、1枚のマスクにて同時に形成され製造工程数が少なくなる。

【0055】また、図15(b)に示した、ヒューズ部130からパッシベーション膜150表面までの膜厚であっても、レーザ照射により容易にヒューズ部130が切断できるのであれば、特段図16のように凹部320を形成することなく、開孔151のみを形成すればよい。

【0056】またメモリセルアレイ部101a領域における円筒型キャパシタ125a、125b上の層間絶縁膜230表面には段差部分231が生じた。これは上述したとおり層間絶縁膜230にさらに配線を行った場合に断線などの問題点があったために段差部分231を除去したものである。しかしその層間絶縁膜上に配線層を形成するにあたり何等支障がない場合にはこの段差部分231を除去しなくてもよく、平坦化のプロセスは省略される。したがってヒューズ部130上に凹部141を形成する場合は、単独のプロセスで形成されることになり製造工程数が増えることになる。そこで凹部141を形成しないときは、その分だけヒューズ部130の表面から開孔330までの膜厚が増えることになる。しかしそれがレーザ照射によりヒューズ部130が断線できる程度の膜厚であれば、凹部141を構成する必要はない。本実施の形態のような2層配線に限らず3層以上の多層配線構造において、各配線層上に堆積される絶縁層に開口されるコンタクトホールと同時に、ヒューズ部上に開孔を形成し、さらに各絶縁層においてこの工程を繰り返すことにより、ヒューズ部からレーザ照射用の開孔までの膜厚を小さくすることができる。

【0057】

【発明の効果】以上説明したとおりこの発明に係る半導体装置の製造方法によると、層間絶縁膜となる第2の絶縁膜表面において、回路の一部を構成する第2の導電層上に位置する領域に生じた、ヒューズ部となる第1の導電層上に位置する領域に対して凸状の段差を第2の導電層が露出しない程度に取り除くと同時に、第2の絶縁膜表面に底部分が第2の絶縁膜を介して第1の導電層と対向する凹部を形成するように選択的にエッチング除去するので、凸状の段差を取り除くこと、およびヒューズ部となる第1の導電層を露出させずに凹部を形成することは、何等製造工程を追加せずに行うことができ、かつヒューズ部の保護を図りながらヒューズ部上の膜厚を小さくすることができるという効果を奏する。よってレーザ照射によるヒューズ部切断が容易になる。

【0058】また、第3の絶縁膜上に形成された第3の導電層にコンタクトする第1の孔、および底部が第2および第3の絶縁膜を介してヒューズ部を構成する第1の導電層と対向する第2の孔をそれぞれ第4の絶縁膜表面より同時に開口するように、第4の絶縁膜を選択的にエッチング除去するので、第2の孔を形成することによりヒューズ部表面の直上の膜厚をさらに小さくすることができ、レーザ照射によるヒューズ部の切断を容易にする。ここで第2の孔は第3の導電層にコンタクトする第

1の孔と同時に形成するので、製造工程数を追加せずに第2の孔を形成することができる。

【0059】また、第2の絶縁膜上に形成された第3の導電層にコンタクトする第1の孔、および底部が第2の絶縁膜を介してヒューズ部を構成する第1の導電層と対向する第2の孔をそれぞれ第3の絶縁膜表面より同時に形成するように、第3の絶縁膜を選択的にエッチング除去するので、第2の孔を形成することによりヒューズ部表面の直上の膜厚をさらに小さくすることができ、レーザ照射によるヒューズ部の切断を容易にする。ここで第2の孔は第3の導電層にコンタクトする第1の孔と同時に形成するので、製造工程数を追加せずに第2の孔を形成することができる。

【0060】さらにこの発明の別の半導体装置の製造方法によると、ヒューズ部となる第1の導電層を覆うように形成された第2の絶縁膜上に第3および第4の導電層のように多層の配線層が形成された場合において、ヒューズ部上の膜厚を小さくするための第2の孔、および第4の孔は各々第2の絶縁膜を介して第1の導電層上に形成されるので、ヒューズ部を露出させることなくヒューズ部上の膜厚を小さくすることができ、レーザ照射によるヒューズ部切断が容易になる。また第2の孔はエッチング除去により配線層となる第3の導電層にコンタクトする第1の孔をとともに形成され、第4の孔はエッチング除去により配線層となる第4の導電層にコンタクトする第3の孔をとともに形成されるので、製造工程を追加することなく第2および第4の孔を設けることができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に示した半導体装置(DRAM)の構造断面図である。

【図2】 図1におけるDRAMのメモリアルレイ部に形成されたメモリアル構造の構成する回路図である。

【図3】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図4】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図5】 図1の半導体装置の製造方法の一工程を示す

半導体装置の構造断面図である。

【図6】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図7】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図8】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図9】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図10】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図11】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図12】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図13】 図1の半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図14】 図13に示された半導体装置におけるヒューズ部130の形成された領域を示す平面図である。

【図15】 この発明の実施の形態2における半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

【図16】 この発明の実施の形態2における半導体装置の製造方法の一工程を示す半導体装置の構造断面図である。

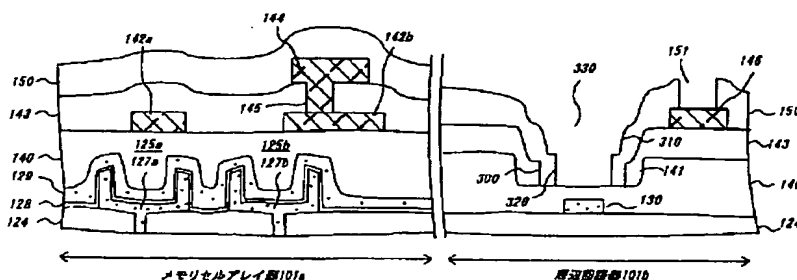
【図17】 従来技術による半導体装置の製造方法を示す説明図である。

【図18】 従来技術による半導体装置を示す構造断面図である。

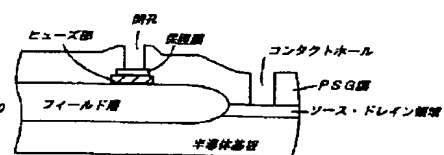
【符号の説明】

101…半導体基板、124…層間絶縁膜、125a、125b…円筒型キャパシタ、129…セルプレート、130…ヒューズ部、140…層間絶縁膜、141…凹部、142a、142b…配線層、143…コンタクトホール、144…配線層、146…配線層(電極パッド)、150…パッシベーション膜、151…開孔、152…レーザ照射用開孔、300…開孔、310…凹部、320…開孔

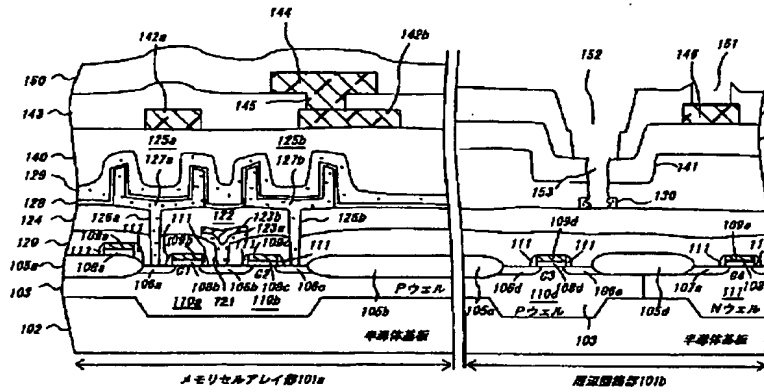
【図16】



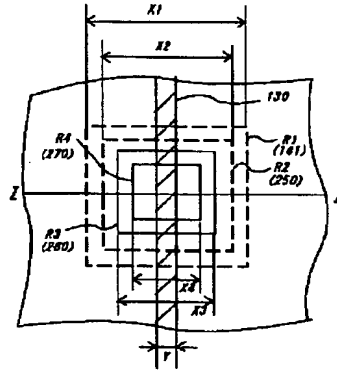
【図18】



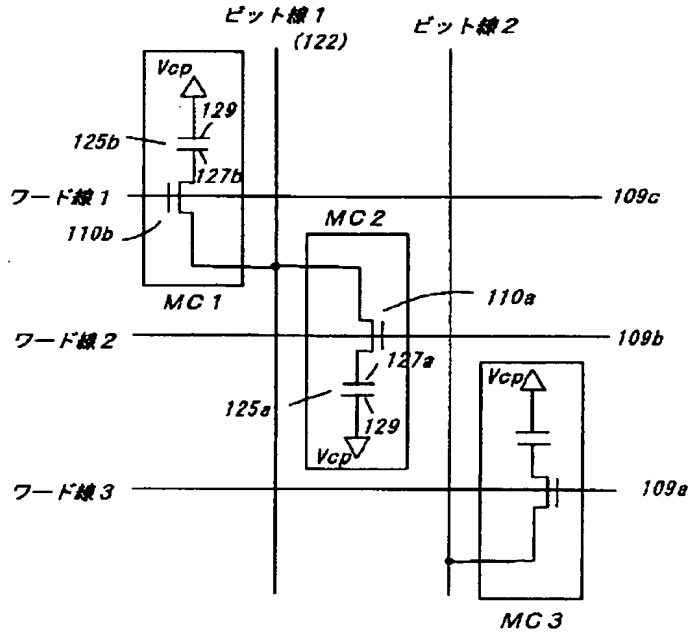
【図1】



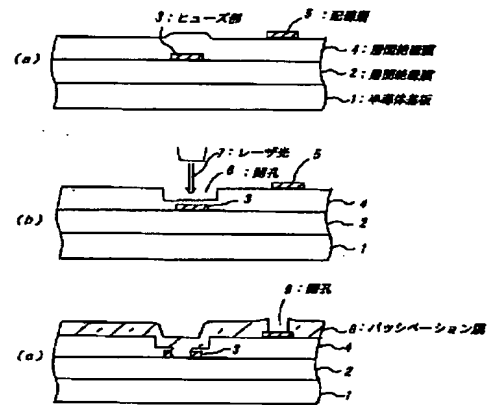
【図14】



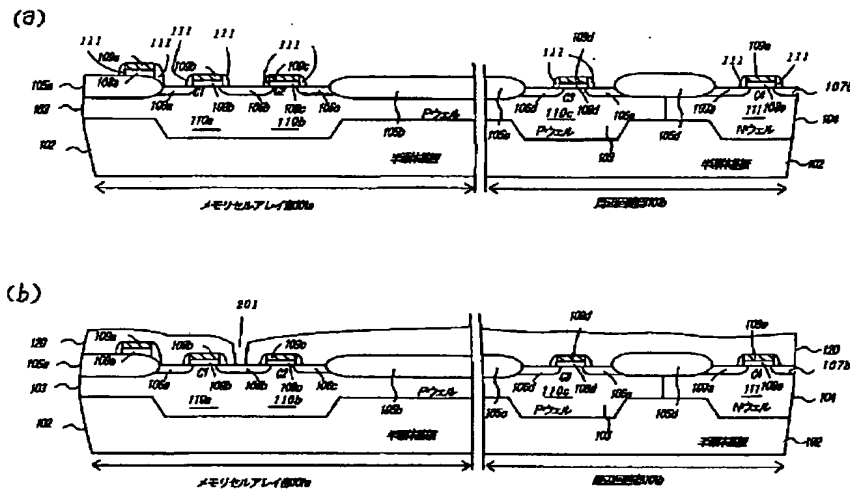
【図2】



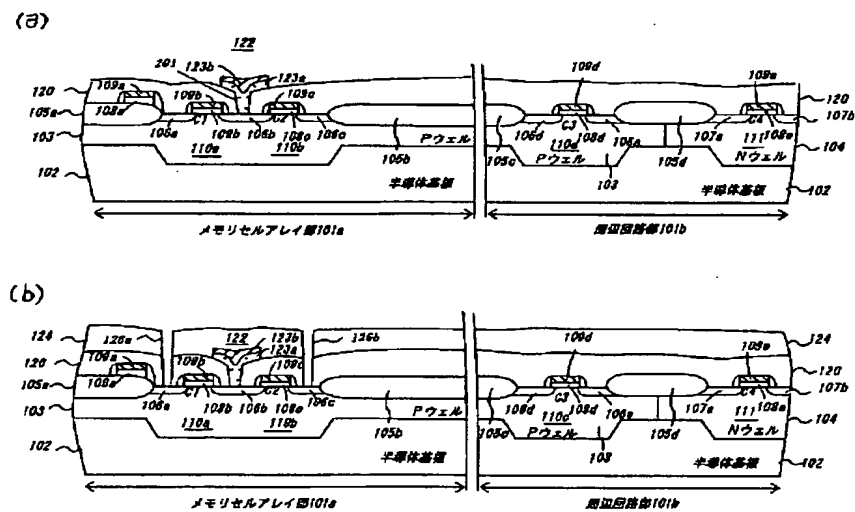
【図17】



【図3】



【図4】



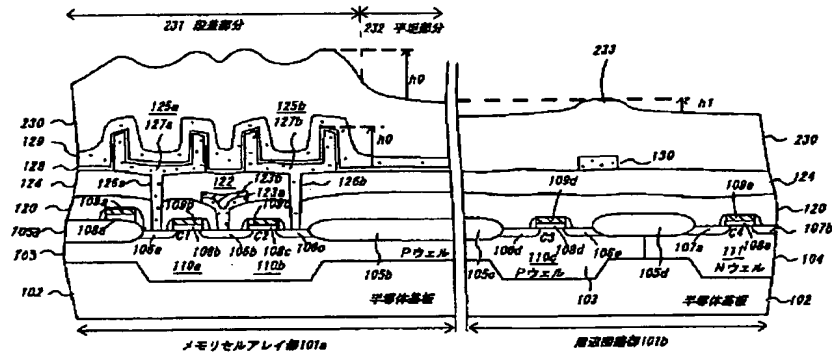
(a)

211a, 210a, 211b, 210b, 124, 125a, 125b, 123a, 123b, 120, 109a, 109b, 103a, 108a, 108b, 108c, 108d, 108e, 108f, 108g, 108h, 108i, 108j, 108k, 108l, 108m, 108n, 108o, 108p, 108q, 108r, 108s, 108t, 108u, 108v, 108w, 108x, 108y, 108z, 105a, 105b, 105c, 105d, 105e, 105f, 105g, 105h, 105i, 105j, 105k, 105l, 105m, 105n, 105o, 105p, 105q, 105r, 105s, 105t, 105u, 105v, 105w, 105x, 105y, 105z, 102, Pウェル, 半導体基板, メモリセルアレイ部107a, 周辺回路部101b

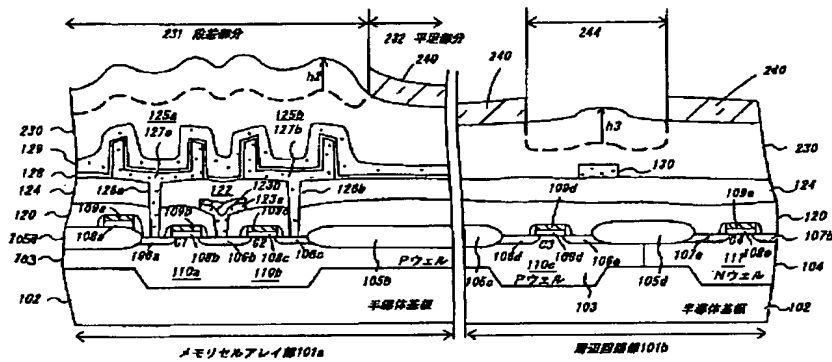
(b)

212a, 212b, 211a, 211b, 210a, 210b, 124, 125a, 125b, 123a, 123b, 120, 109a, 109b, 103a, 108a, 108b, 108c, 108d, 108e, 108f, 108g, 108h, 108i, 108j, 108k, 108l, 108m, 108n, 108o, 108p, 108q, 108r, 108s, 108t, 108u, 108v, 108w, 108x, 108y, 108z, 105a, 105b, 105c, 105d, 105e, 105f, 105g, 105h, 105i, 105j, 105k, 105l, 105m, 105n, 105o, 105p, 105q, 105r, 105s, 105t, 105u, 105v, 105w, 105x, 105y, 105z, 102, Pウェル, 半導体基板, メモリセルアレイ部101a, 周辺回路部107b

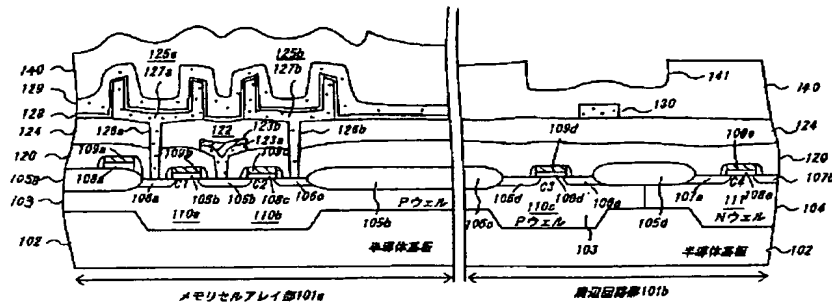
【図7】



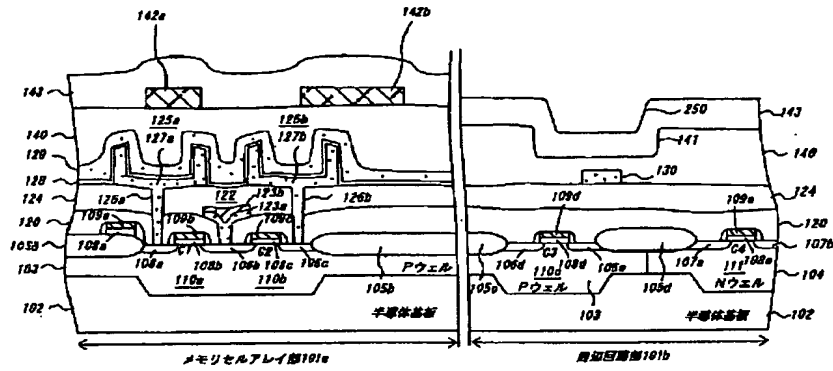
【図8】



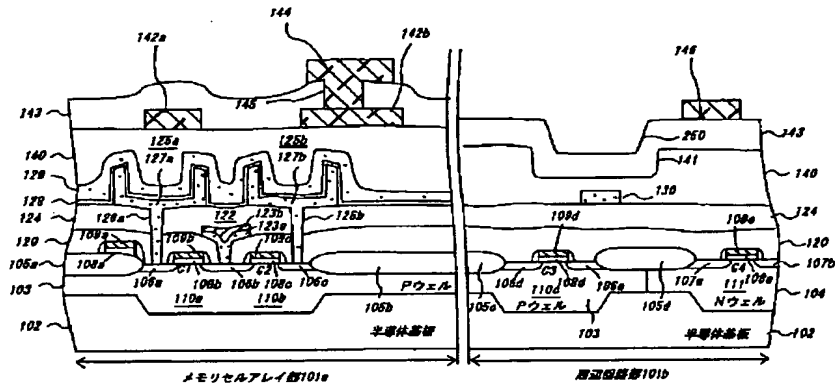
【図9】



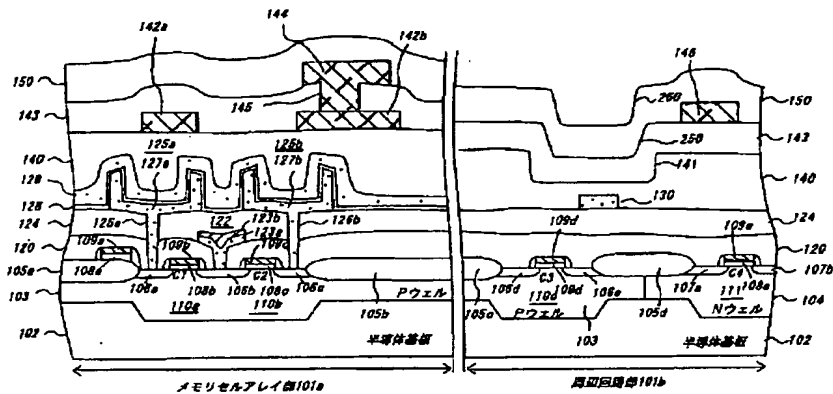
【図10】



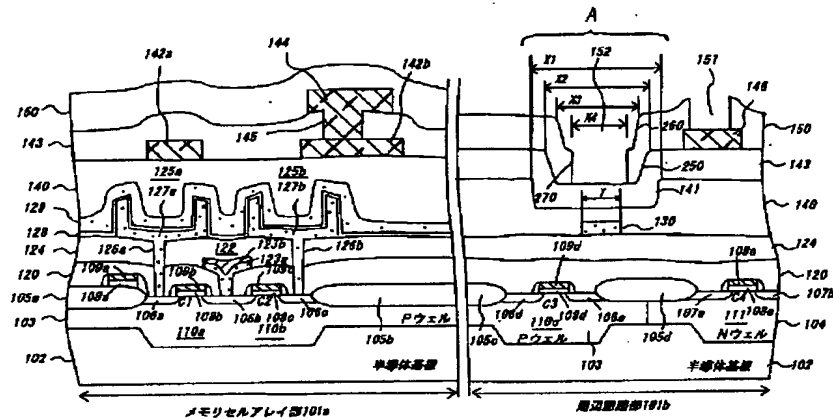
【図11】



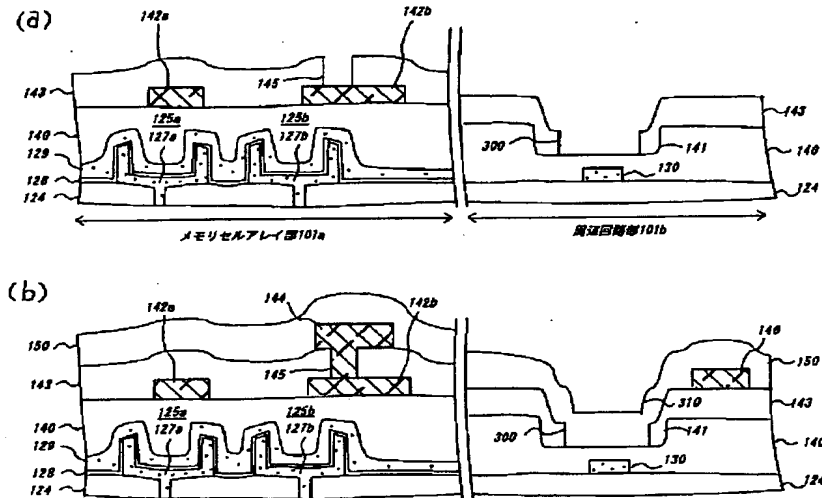
【図12】



【図13】



【図15】



フロントページの続き

(72)発明者 安田 憲一
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内